

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110925

(43)Date of publication of application : 12.04.2002

(51)Int.CI.

H01L 27/04

H01L 21/822

G01R 31/28

(21)Application number : 2000-299859

(71)Applicant : FUJI ELECTRIC CO LTD
YOKOGAWA ELECTRIC CORP

(22)Date of filing : 29.09.2000

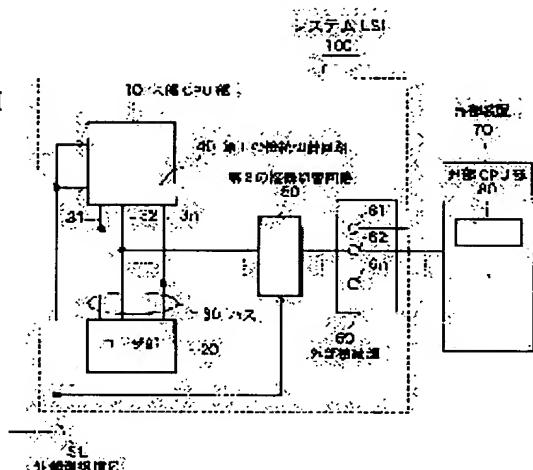
(72)Inventor : SASAKI ATSUSHI
YOKOI TOYOAKI

(54) SYSTEM LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a system LSI which is developed in one body, without sectioning into two and enables a user section to be evaluated by an external unit and can reduce the development time.

SOLUTION: An internal CPU and a user section of the system LSI are manufactured in as one package, to reduce the development time. An external CPU is used for tests and evaluations, including the wiring setting, inspections, etc., of the user section, without forming a prototype board, but using an external CPU. In a second mode, the internal CPU is disconnected at a first connection switching circuit 40 from the user section 20, an external CPU 80 is connected through a second connection switching circuit 50 to the user section 20, the external CPU accesses the user section to evaluate this section. In the first mode after completing the evaluation, the external CPU can be disconnected at the second connection switching circuit from the user section, and the first connection switching circuit connects the internal CPU to the user section to make the system LSI function as a finished product.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 12.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110925

(P2002-110925A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51)Int.Cl'

H 01 L 27/04
21/822
G 01 R 31/28

識別記号

F I

マーク (参考)

H 01 L 27/04
G 01 R 31/28
H 01 L 27/04

U 2 G 0 3 2
V 5 F 0 3 8
T

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号 特願2000-299859(P2000-299859)

(22)出願日 平成12年9月29日 (2000.9.29)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(71)出願人 000006507

横河電機株式会社

東京都武藏野市中町2丁目9番32号

(72)発明者 佐々木 敏

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100097250

弁理士 石戸 久子 (外3名)

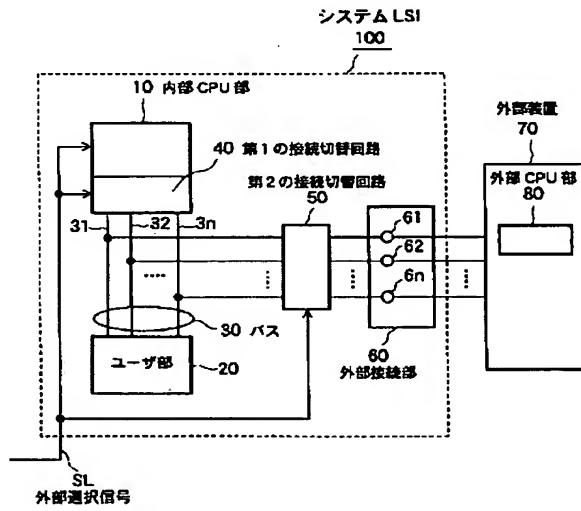
最終頁に続く

(54)【発明の名称】 システムLSI

(57)【要約】

【課題】 システムLSIを2つに区分せずに一体として開発し、ユーザ部を外部装置によって評価可能にし、開発期間短縮可能なシステムLSIを提供する。

【解決手段】 この発明のシステムLSIは、開発期間を短縮するために、内部CPU部とユーザ部とをワンパッケージとして製作し、試作ボードを作成せず、外部CPUを用いてユーザ部の配線設定や検査などを含めた試験評価を行う。すなわち、第2のモードの場合、第1の接続切替回路40のところで内部CPU部10をユーザ部20から切り離し、第2の接続切替回路50が外部CPU部80をユーザ部20に接続し、外部CPU部は、ユーザ部にアクセスし、ユーザ部の評価を行う。評価が完了後の第1のモードの場合、第2の接続切替回路のところで外部CPU部をユーザ部から切り離すことができ、第1の接続切替回路が内部CPU部をユーザ部に接続し、システムLSIを最終製品として機能させる。



【特許請求の範囲】

【請求項1】 内部CPU部とユーザ部とを内蔵しているシステムLSIにおいて、前記内部CPUと前記ユーザ部とのインターフェース信号を外部装置に組み込まれた外部CPUと前記ユーザ部とのインターフェース信号に切り替える回路を有し、前記外部CPUからユーザ部へのアクセスを実行可能にさせることを特徴とするシステムLSI。

【請求項2】 内部CPU部とユーザ部とその間に配置された複数のバスラインとを内蔵しているシステムLSIにおいて、外部装置に組み込まれた外部CPU部との接続のために、前記複数のバスラインのそれぞれに対応して配設されている複数の外部接続端子と、

内部CPU部と複数のバスラインとの間に配置され、第1のモード信号を受けると、内部CPU部とユーザ部とを前記複数のバスラインで接続して内部CPU部がユーザ部にアクセスするのを可能にさせ、第2のモード信号を受けると、内部CPU部と複数のバスラインとを切り離して内部CPU部がユーザ部にアクセスするのを不可能にさせる第1の接続切替回路と、

複数の外部接続端子と複数のバスラインとの間に配置され、第2のモード信号を受けると、ユーザ部と、複数の外部接続端子に接続された外部CPU部とを複数のバスラインで接続して外部CPU部がユーザ部にアクセスするのを可能にさせ、第1のモード信号を受けると、複数の外部接続端子と複数のバスラインとを切り離して外部CPU部がユーザ部にアクセスするのを不可能にさせる第2の接続切替回路と有することを特徴とするシステムLSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はシステムLSIに関し、特に、CPU部とユーザ部とを内蔵しているシステムLSIに関する。

【0002】

【従来の技術】従来、この種のシステムLSIは、構造的に大別して例えば、マイクロコンピュータ部と、ユーザーゲート部との2つに区分でき、この区分に従って、別々に回路設計を行っていた。回路設計の後で、試作ボードを作成し、ハード面およびファームウェア面においてデバックを行い、さらに、コストダウン等の目的でこれらをワンパッケージ化している。典型的な例を挙げれば、ユーザ部としてASICを使用する場合、CPUは、外部に存在するので、ASIC開発後に、CPUを動作させ、プログラム開発を行えばよかつた。

【0003】

【発明が解決しようとする課題】上述のシステムLSIにおいては、マイクロコンピュータ部と、ASIC等を用いるユーザーゲート部との2つに区分して回路設計

し、その後に試作ボード作成などを行っているので、多大な時間がかかる。しかし、今日は開発期間が短縮されるために、試作ボードを作成する時間が無く、ハードおよびプログラムの開発を並行して進めなければならない場合が生じ、システムLSIに組み込むプログラムを如何にして低廉に開発するかが大きな問題となっている。

【0004】この発明は、上記の問題を解決すべくなされたものであって、システムLSIを開発する際に、従来のように2つに区分して開発することはせずに、一体として開発し、かつ、ユーザ部を外部からICE(Inline Circuit Emulator)によって配線設定等を含めた評価を可能にし、開発期間を短縮できるシステムLSIを提供することを目的とする。

【0005】

【課題を解決するための手段】前述した課題を解決するために、この発明は、内部CPU部とユーザ部とを内蔵しているシステムLSIにおいて、前記内部CPUと前記ユーザ部とのインターフェース信号を外部装置に組み込まれた外部CPUと前記ユーザ部とのインターフェース信号に切り替える回路を有し、前記外部CPUからユーザ部へのアクセスも実行可能にさせる。

【0006】このような構成によれば、システムLSIを開発するに際して、内部CPU部とユーザ部とをワンパッケージとして製作し、試作ボードを作成することなく、ユーザ部の評価を外部CPUを用いて自由に評価することができる。評価後においては、内部CPU部とユーザ部とを内蔵した最終製品のシステムLSIとして使用することができる。

【0007】また、この発明は、内部CPU部とユーザ部とその間に配置された複数のバスラインとを内蔵しているシステムLSIにおいて、外部装置に組み込まれた外部CPU部との接続のために、前記複数のバスラインのそれぞれに対応して配設されている複数の外部接続端子と、内部CPU部と複数のバスラインとの間に配置され、第1のモード信号を受けると、内部CPU部とユーザ部とを前記複数のバスラインで接続して内部CPU部がユーザ部にアクセスするのを可能にさせ、第2のモード信号を受けると、内部CPU部と複数のバスラインとを切り離して内部CPU部がユーザ部にアクセスするのを不可能にさせる第1の接続切替回路と、複数の外部接続端子と複数のバスラインとの間に配置され、第2のモード信号を受けると、ユーザ部と、複数の外部接続端子に接続された外部CPU部とを複数のバスラインで接続して外部CPU部がユーザ部にアクセスするのを可能にさせ、第1のモード信号を受けると、複数の外部接続端子と複数のバスラインとを切り離して外部CPU部がユーザ部にアクセスするのを不可能にさせる第2の接続切替回路とを有する。

【0008】このような構成によれば、システムLSIを開発するに際して、内部CPU部とユーザ部とをワン

パッケージとして製作し、試作ボードを作成することなく、外部CPUを用いてユーザ部の配線設定や検査などを含めた試験評価を自由に行うことができる。すなわち、第2のモードの設定の場合、第1の接続切替回路のところで内部CPU部をユーザ部から切り離すことができ、第2の接続切替回路が外部CPU部をユーザ部に接続するので、外部CPU部は、内部CPU部がそうであるように、ユーザ部にアクセスし、ユーザ部の評価を自由に行うことができる。したがって、ユーザ部の評価が良好に完了後の第1のモードの設定の場合、第2の接続切替回路のところで外部CPU部をユーザ部から切り離すことができ、第1の接続切替回路が内部CPU部をユーザ部に接続するので、システムLSIを内部CPU部とユーザ部とを内蔵した最終製品のシステムLSIとして機能させることができるようになる。

【0009】

【発明の実施の形態】以下、この発明の実施の形態について添付図面に基づいて説明する。図1は、この発明のシステムLSIの実施の形態の構成を示すブロック図である。図1によって示されるように、システムLSI100は、内部CPU部10と、ユーザ部20と、複数のバスライン31, 32, ~, 3nからなるバス30と、外部選択信号SLに基づいて、内部CPU部10をバス30に接続し、または、内部CPU部10をバス30から遮断する第1の接続切替回路40とを有し、さらに、外部装置70との接続、すなわち、外部装置70に組み込まれた外部CPU部80との接続を可能にさせるよう、複数のバスライン31, 32, ~, 3nに対応して設けられた複数の外部接続端子61, 62, ~, 6nからなる外部接続部60と、外部選択信号SLに基づいて、外部装置70をバス30に接続し、または、外部装置70をバス30から遮断する第2の接続切替回路50とを有する。なお、この例においては、外部装置70として、ICE(In Circuit Emulator)を使用しているものとする。また、上述の第1、第2の接続切替回路40, 50の具体例としては、外部選択信号SL、または、外部選択信号SLから生成される切替信号をインペル信号として制御されるバッファ回路を用いるのが容易であろう。

【0010】次に、図1のシステムLSI100の動作について説明する。外部選択信号SLが第1のモード(ICE不使用)を指示しているときには、内部CPU部10はアクティブになり、第1の接続切替回路40は、内部CPU部10をバス30によりユーザ部20に接続する。他方、第1のモードを指示する外部選択信号SLを受ける第2の接続切替回路50は、バス30と外部接続部60との間を切替し、外部装置70がユーザ部20にアクセスするのを阻止する。このような第1のモードの設定が完了すると、システムLSI100は、複数のバスライン31, 32, ~, 3nからなるバス30

によって相互に接続された内部CPU部10およびユーザ部20を有する完成品(評価が完了している場合)として動作可能となり、内部CPU部10とユーザ部20との間で、バス30を介して、アドレス信号、R/W信号、ウェイト信号、クロック信号、データ信号の授受が行われるようになる。

【0011】上述のシステムLSI100において、外部選択信号SLが第2のモード(ICE使用)を指示しているときには、内部CPU部10はスタンバイ状態になり、第1の接続切替回路40は、スタンバイ状態の内部CPU部10をバス30から切り離す。他方、第2のモードを指示する外部選択信号SLを受けた第2の接続切替回路50は、バス30と外部接続部60とを接続し、外部装置70の外部CPU部80が外部接続部60、第2の接続切替回路50、バス30を介してユーザ部20にアクセスするのを可能にする。したがって、ユーザ部20から見ると、第1のモードのときにバス30を介して接続された内部CPU部10のアクセスを受ける代わりに、第2のモードにおいては、バス30を介して接続された外部装置70の外部CPU部80のアクセスを受けることとなる。この場合、内部CPU部10と外部CPU部80とが同じ機能を果たすように設定されていれば、ユーザ部20に対し両モードにおいて、同一の機能を内部的にも外部的にも実施可能となる。

【0012】上述の実施の形態のように構成されれば、内部CPU部10とユーザ部20とをワンパッケージとしてシステムLSI100の中に作り込んでも、システムLSI100を外部選択信号SLにより第2のモードに設定すれば、内部CPU部10とは無関係にICEにより、ユーザ部20に対する配線設定や検査などを含めた試験評価を自由に行うことができる。したがって、従来のように、全体を2つに区分して回路設計し、その後に試作ボードを作成して評価する必要が無く、直接的に最終製品の形態で作るにも拘わらず、第2のモードの設定により、従来と同様なユーザ部20への評価処理が実行でき、その後は即時に完成品とすることができますので、開発期間を極めて短いものとすることができる。

【0013】

【発明の効果】この発明のシステムLSIは、以上において説明したように構成されているので、システムLSIを開発するに際して、内部CPU部とユーザ部とをワンパッケージとして製作し、試作ボードを作成することなく、ユーザ部の評価を外部CPU部を用いて自由に評価することができる。また、評価後においては、内部CPU部とユーザ部とを内蔵した最終製品のシステムLSIとして使用することができるので、開発期間を極めて短いものとすることができる。さらに、上述のユーザ部に対する内部CPU部と外部CPU部との接続切り替えを、外部選択信号に基づく第1、第2の接続切替回路を

用いて行えば、周知のバッファ回路等を用いて容易に構成することができる。

【図面の簡単な説明】

【図1】この発明のシステムLSIの実施の形態の構成を示すブロック図である。

【符号の説明】

10 内部CPU部

20 ユーザ部

30 バス

31, 32, ~, 3n バスライン

40 第1の接続切替回路

50 第2の接続切替回路

60 外部接続部

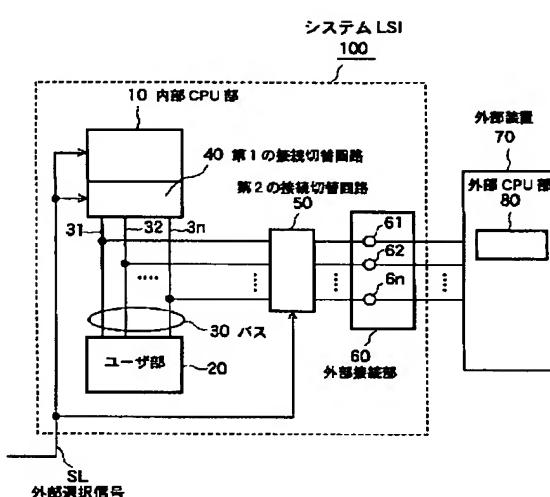
61, 62, ~, 6n 外部接続端子

70 外部装置

80 外部CPU部

100 システムLSI

【図1】



フロントページの続き

(72)発明者 横井 豊明

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

F ターム(参考) 2G032 AA01 AK02 AK12 AK14 AL00

5F038 DF04 DF06 DF11 DF17 DT02

DT05 EZ20